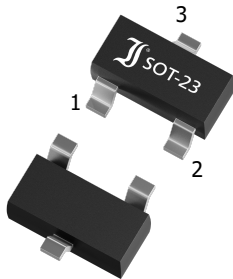
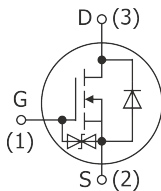


MMFTN3422K
N-Channel Enhancement Mode FET
N-Kanal FET – Anreicherungstyp

$I_{D25^{\circ}\text{C}}$	= 4.2 A	V_{DSS}	= 30 V
$R_{DS(on)10V}$	< 42 m Ω	P_{tot}	= 1250 mW
T_{jmax}	= 150°C		

Version 2021-08-16

SOT-23
TO-236

SPICE Model & STEP File ¹⁾

Marking Code
UD

HS Code 85412100

Typical Applications

Signal processing
 Logic level converter
 Drivers
 Commercial grade
 Suffix -Q: AEC-Q101 compliant ¹⁾
 Suffix -AQ: in AEC-Q101 qualification ¹⁾

Features

ESD protected Gate
 High Drain current
 Low on-state resistance
 Fast switching times
 Compliant to RoHS (w/o exemp.)
 REACH, Conflict Minerals ¹⁾

Mechanical Data ¹⁾

Taped and reeled	3000 / 7"
Weight approx.	0.01 g
Case material	UL 94V-0
Solder & assembly conditions	260°C/10s
	MSL = 1

**Typische Anwendungen**

Signalverarbeitung
 Pegelwandler
 Treiberstufen
 Standardausführung
 Suffix -Q: AEC-Q101 konform ¹⁾
 Suffix -AQ: in AEC-Q101 Qualifikation ¹⁾

Besonderheiten

ESD geschütztes Gate
 Hoher Drain-Strom
 Niedriger Einschaltwiderstand
 Schnelle Schaltzeiten
 Konform zu RoHS (ohne Ausn.)
 REACH, Konfliktminerale ¹⁾

Mechanische Daten ¹⁾

Gegurtet auf Rolle
Gewicht ca.
Gehäusematerial
Löt- und Einbaubedingungen

Maximum ratings ²⁾**Grenzwerte ²⁾**

		MMFTN3422K/-AQ	
Drain-Source-voltage – Drain-Source-Spannung		V_{DSS}	30 V
Gate-Source-voltage – Gate-Source-Spannung	DC	V_{GSS}	± 12 V
Power dissipation – Verlustleistung		P_{tot}	1250 mW ³⁾
Drain current – Drainstrom	DC	I_D	4.2 A ⁴⁾
Peak Drain current – Drain-Spitzenstrom		I_{DM}	20 A ⁴⁾
Junction temperature – Sperrschichttemperatur		T_j	-55...+150°C
Storage temperature – Lagerungstemperatur		T_s	-55...+150°C

1 Please note the [detailed information on our website](#) or at the beginning of the data book
 Bitte beachten Sie die [detaillierten Hinweise auf unserer Internetseite](#) bzw. am Anfang des Datenbuches

2 $T_A = 25^{\circ}\text{C}$, unless otherwise specified – $T_A = 25^{\circ}\text{C}$, wenn nicht anders angegeben

3 Mounted on P.C. board with 25 mm² copper pad or on ceramic substrate with 3 mm² copper pad at each terminal
 Montage auf Leiterplatte mit 25 mm² Kupferbelag oder auf Keramiksubstrat mit 3 mm² Kupferbelag an jedem Anschluss

4 Pulse width limited by T_{jmax} – Pulsbreite begrenzt durch T_{jmax}

Characteristics (static)**Kennwerte (statisch)**

		$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Drain-Source breakdown voltage – Drain-Source-Durchbruchspannung $I_D = 250 \mu\text{A}$		$V_{(BR)DSS}$	30 V	–	–
Drain-Source leakage current – Drain-Source Leckstrom $V_{DS} = 30 \text{ V}$ $V_{GS} = 0 \text{ V}$		I_{DSS}	–	–	1 μA
Gate-Source leakage current – Gate-Source Leckstrom $V_{GS} = 10 \text{ V}$		$\pm I_{GSS}$	–	–	10 μA
Gate-Threshold voltage – Gate-Source Schwellspannung $V_{GS} = V_{DS}$ $I_D = 250 \mu\text{A}$		$V_{GS(th)}$	0.4 V	–	1.2 V
Drain-Source on-state resistance – Drain-Source Einschaltwiderstand $V_{GS} = 10 \text{ V}$ $I_D = 4.2 \text{ A}$ $V_{GS} = 4.5 \text{ V}$ $I_D = 3.5 \text{ A}$ $V_{GS} = 2.5 \text{ V}$ $I_D = 2.8 \text{ A}$		$R_{DS(on)}$	–	–	42 m Ω 48 m Ω 55 m Ω

Characteristics (dynamic)**Kennwerte (dynamisch)**

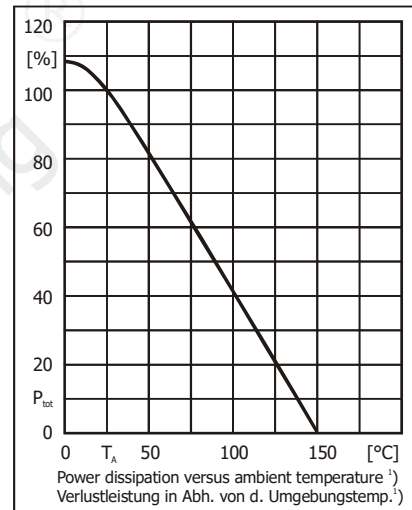
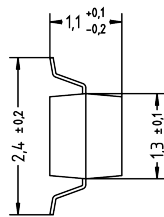
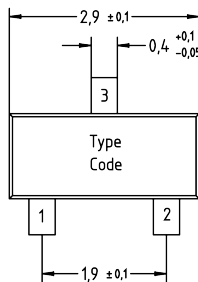
		$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Intrinsic Gate resistance – Innerer Gatewiderstand $f = 1 \text{ Mhz}$ D open			–	1.5 k Ω	–
Input Capacitance – Eingangskapazität $V_{DS} = 25 \text{ V}$ $f = 1 \text{ MHz}$		C_{iss}	–	387 pF	–
Output Capacitance – Ausgangskapazität $V_{DS} = 15 \text{ V}$ $f = 1 \text{ MHz}$		C_{oss}	–	37 pF	–
Reverse Transfer Capacitance – Rückwirkungskapazität $V_{DS} = 15 \text{ V}$ $f = 1 \text{ MHz}$		C_{rss}	–	10 pF	–
Total Gate Charge – Gesamte Gate-Ladung $V_{DD} = 15 \text{ V}$ $I_D = 4.2 \text{ A}$ $V_{GS} = 10 \text{ V}$ $V_{DD} = 15 \text{ V}$ $I_D = 4.2 \text{ A}$ $V_{GS} = 4.5 \text{ V}$		Q_g	– –	14.5 nC 7	– –
Gate-Source Charge – Gate-Source-Ladung $V_{DD} = 15 \text{ V}$ $I_D = 4.2 \text{ A}$ $V_{GS} = 10 \text{ V}$		Q_{gs}	–	1.2 nC	–
Gate-Drain Charge – Gate-Drain-Ladung $V_{DD} = 15 \text{ V}$ $I_D = 4.2 \text{ A}$ $V_{GS} = 10 \text{ V}$		Q_{gd}	–	2.7 nC	–
Turn-On Delay & Rise Time – Einschaltverzögerung und Anstiegszeit $V_{DD} = 30 \text{ V}$ $I_D = 0.2 \text{ A}$ $V_{GS} = 10 \text{ V}$ $R_G = 10 \Omega$		$t_{d(on)}$ t_r	–	1138 ns 68 ns	–
Turn-Off Delay Time & Fall Time – Ausschaltverzögerung und Abfallzeit $V_{DD} = 30 \text{ V}$ $I_D = 0.2 \text{ A}$ $V_{GS} = 10 \text{ V}$ $R_G = 10 \Omega$		$t_{d(off)}$ t_f	–	892 ns 99 ns	–

Characteristics (Body-Diode)**Kennwerte (Diode)**

	$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Forward Voltage – Durchlass Spannung $f = 1\text{ MHz}$ D open	V_{SD}	–	–	1.2 V
Reverse Recovery Time – Sperrverzugszeit $V_{DS} = 25\text{ V}$ $f = 1\text{ MHz}$	t_{rr}	–	607 ns	–
Reverse Recovery Charge – Sperrverzugsladung $I_S = 4.2\text{ A}$, $di/dt = 100\text{ A}/\mu\text{s}$	Q_{rr}	–	3.3 nC	–

Characteristics (thermal)**Kennwerte (thermisch)**

		Min.	Typ.	Max.
Typical thermal resistance junction to ambient Typischer Wärmewiderstand Sperrschicht – Umgebung	R_{thA}		250 K/W ¹⁾ 125 K/W ²⁾	

Dimensions – Maße [mm]

Disclaimer: See data book page 2 or [website](#)

Haftungsausschluss: Siehe Datenbuch Seite 2 oder [Internet](#)

- 1 Mounted on P.C. board with 3 mm² copper pad per terminal – Montage auf Leiterplatte mit 3 mm² Lötpad je Anschluss
- 2 Mounted on P.C. board with 25 mm² copper pad or on ceramic substrate with 3 mm² copper pad at each terminal
Montage auf Leiterplatte mit 25 mm² Kupferbelag oder auf Keramiksubstrat mit 3 mm² Kupferbelag an jedem Anschluss