

2N7002A 2N7002 N-Channel Enhancement Mode FET N-Kanal FET – Anreicherungstyp	I_D = 280 mA R_{DS(on)} < 2 Ω 5 Ω T_{jmax} = 150°C	V_{DS} = 60 V P_{tot} = 350 mW
---	---	---

Version 2019-12-16

**SOT-23
(TO-236)**

1 = G 2 = S 3 = D

Dimensions - Maße [mm]

Typical Applications

Signal processing, Drivers,
 Logic level converter
 Commercial grade
 Suffix -Q: AEC-Q101 compliant ¹⁾
 Suffix -AQ: in AEC-Q101 qualification ¹⁾

Features

Two R_{DS(on)} versions
 Low on-state resistance
 Fast switching times
 Available in TO-92 as 2N7000
 Compliant to RoHS, REACH,
 Conflict Minerals ¹⁾

Mechanical Data ¹⁾

Taped and reeled
 Weight approx.
 Case material
 Solder & assembly conditions



3000 / 7"
 0.01 g
 UL 94V-0
 260°C/10s
 MSL = 1

Typische Anwendungen

Signalverarbeitung, Treiberstufen,
 Logikpegelwandler
 Standardausführung
 Suffix -Q: AEC-Q101 konform ¹⁾
 Suffix -AQ: in AEC-Q101 Qualifizierung ¹⁾

Besonderheiten

Zwei R_{DS(on)} Versionen
 Niedriger Einschaltwiderstand
 Schnelle Schaltzeiten
 Erhältlich in TO-92 als 2N7000
 Konform zu RoHS, REACH,
 Konfliktmineralien ¹⁾

Mechanische Daten ¹⁾

Gegurtet auf Rolle
 Gewicht ca.
 Gehäusematerial
 Löt- und Einbaubedingungen

Single Transistor

Type Code
 2N7002A = S72
 2N7002 = 7002

Maximum ratings ²⁾

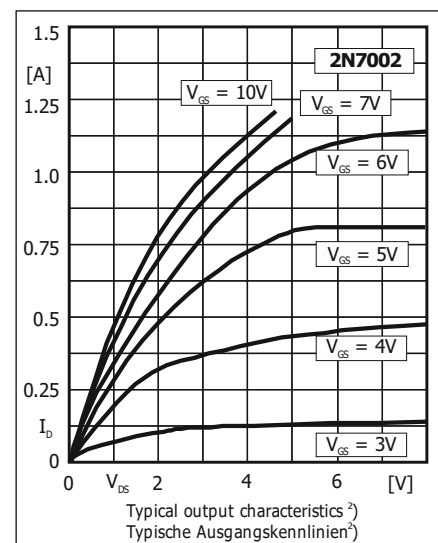
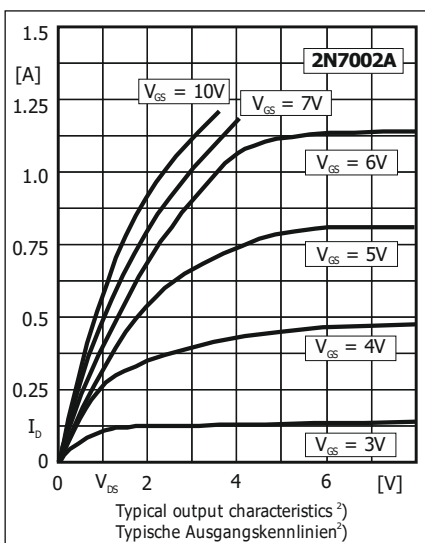
Grenzwerte ²⁾

		2N7002A 2N7002	
Drain-Source-voltage – Drain-Source-Spannung	V _{DS}	60 V	
Gate-Source-voltage – Gate-Source-Spannung	V _{GSO}	± 30 V	
Power dissipation – Verlustleistung	P _{tot}	350 mW ³⁾	
Drain current – Drainstrom	I _D	280 mA	
Peak Drain current – Drain-Spitzenstrom	I _{DM}	1200 mA	
Junction temperature – Sperrschichttemperatur	T _j	+150°C	
Storage temperature – Lagerungstemperatur	T _s	-55...+150°C	

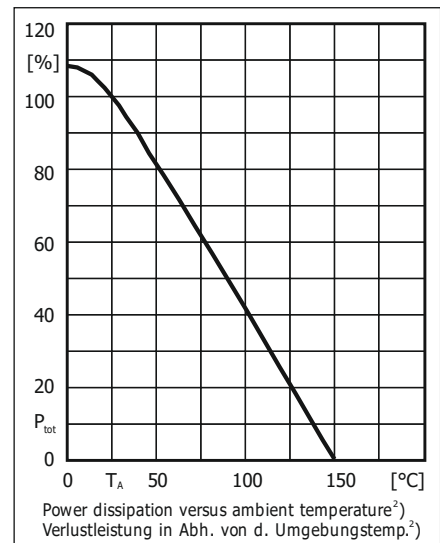
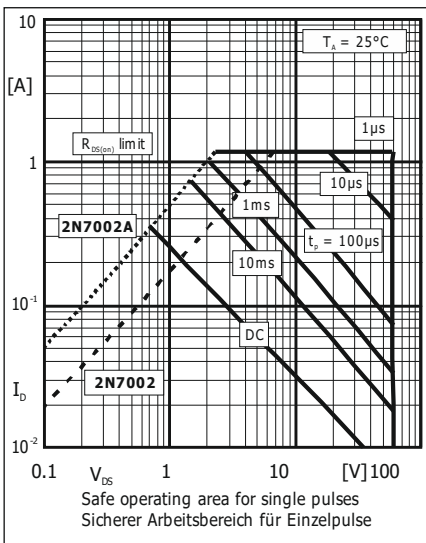
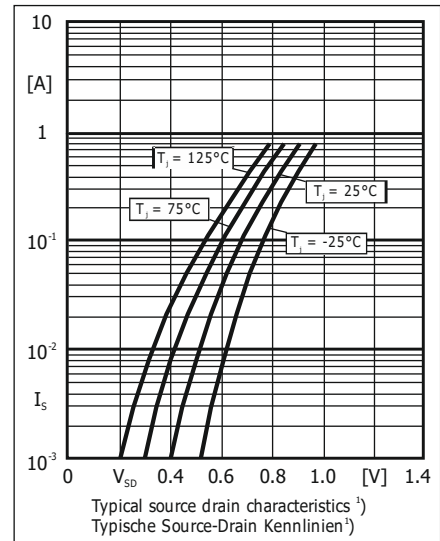
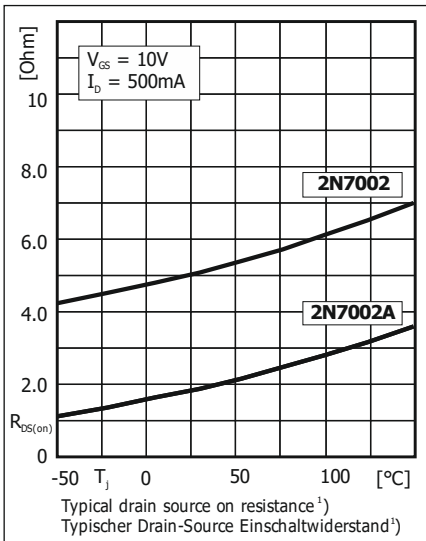
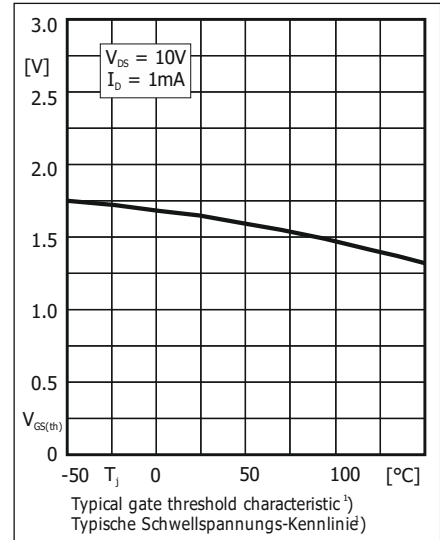
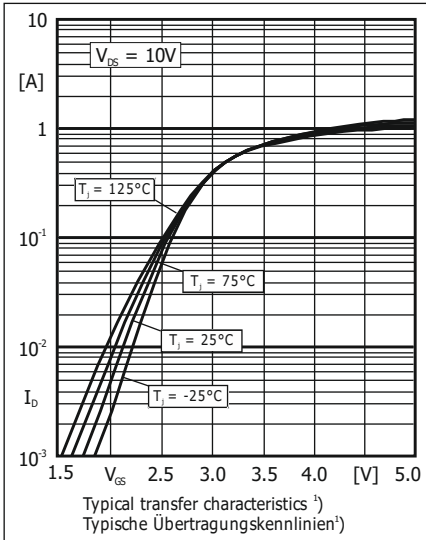
1 Please note the [detailed information on our website](#) or at the beginning of the data book
 Bitte beachten Sie die [detaillierten Hinweise auf unserer Internetseite](#) bzw. am Anfang des Datenbuches
 2 T_A = 25°C, unless otherwise specified – T_A = 25°C, wenn nicht anders angegeben
 3 Device mounted on a ceramic substrate 10 x 8 x 0.7 mm
 Bauteil montiert auf Keramiksubstrat 10 x 8 x 0.7 mm

Characteristics
Kennwerte

		$T_j = 25^\circ\text{C}$	Min.	Typ.	Max.
Drain-Source breakdown voltage – Drain-Source-Durchbruchspannung $I_D = 10 \mu\text{A}$		$V_{(BR)DSS}$	60 V	–	–
Drain-Source leakage current – Drain-Source-Leckstrom $V_{DS} = 60 \text{ V}$ $V_{GS} = 0 \text{ V}$ $V_{DS} = 60 \text{ V}$ $V_{GS} = 0 \text{ V}$ $T_j = 125^\circ\text{C}$		I_{DSS}	–	–	1 μA 500 μA
Gate-Source leakage current – Gate-Source-Leckstrom $V_{GS} = \pm 20 \text{ V}$ $V_{DS} = 0 \text{ V}$		I_{GSS}	–	–	$\pm 100 \text{ nA}$
Gate-Source threshold voltage – Gate-Source Schwellspannung $V_{GS} = V_{DS}$ $I_D = 250 \mu\text{A}$		$V_{GS(th)}$	–	–	2.5 V
Drain-Source on-state resistance – Drain-Source Einschaltwiderstand $V_{GS} = 10 \text{ V}$ $I_D = 500 \text{ mA}$ 2N7002A $V_{GS} = 5 \text{ V}$ $I_D = 50 \text{ mA}$ $V_{GS} = 5 \text{ V}$ $I_D = 50 \text{ mA}$ $T_j = 125^\circ\text{C}$		$R_{DS(on)}$	–	–	2 Ω 3 Ω 5 Ω
Drain-Source on-state resistance – Drain-Source Einschaltwiderstand $V_{GS} = 10 \text{ V}$ $I_D = 500 \text{ mA}$ 2N7002 $V_{GS} = 5 \text{ V}$ $I_D = 50 \text{ mA}$		$R_{DS(on)}$	–	–	5 Ω 7 Ω
Input Capacitance – Eingangskapazität $V_{DS} = 25 \text{ V}$, $f = 1 \text{ MHz}$		C_{iss}	–	50 pF	–
Output Capacitance – Ausgangskapazität $V_{DS} = 25 \text{ V}$, $f = 1 \text{ MHz}$		C_{oss}	–	25 pF	–
Reverse Transfer Capacitance – Rückwirkungskapazität $V_{DS} = 25 \text{ V}$, $f = 1 \text{ MHz}$		C_{rss}	–	5 pF	–
Turn-On Time – Einschaltzeit $V_{DD} = 30 \text{ V}$, $I_D = 200 \text{ mA}$, $V_{GS} = 10 \text{ V}$, $R_G = 25 \Omega$		t_{on}	–	–	20 ns
Turn-Off Time – Ausschaltzeit $V_{DD} = 30 \text{ V}$, $I_D = 200 \text{ mA}$, $V_{GS} = 10 \text{ V}$, $R_G = 25 \Omega$		t_{off}	–	–	20 ns
Typical thermal resistance junction to ambient Typischer Wärmewiderstand Sperrschicht – Umgebung		R_{thA}	350 K/W ¹⁾		



- 1 Mounted on P.C. board with 3 mm² copper pad per terminal – Montage auf Leiterplatte mit 3 mm² Kupferbelag je Anschluss
- 2 Tested with pulses $t_p = 10 \mu\text{s}$, duty cycle $\leq 1\%$ – Gemessen mit Impulsen $t_p = 10 \mu\text{s}$, Schaltverhältnis $\leq 1\%$



Disclaimer: See data book page 2 or [website](#)
Haftungsausschluss: Siehe Datenbuch Seite 2 oder [Internet](#)

1 Tested with pulses $t_p = 10 \mu s$, duty cycle $\leq 1\%$ – Gemessen mit Impulsen $t_p = 10 \mu s$, Schaltverhältnis $\leq 1\%$
2 Mounted on P.C. board with 3 mm^2 copper pad per terminal – Montage auf Leiterplatte mit 3 mm^2 Kupferbelag je Anschluss